

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

## GAMMA CORRECTING CIRCUIT

Patent Number: JP61004374  
Publication date: 1986-01-10  
Inventor(s): FUSE TAKAHIRO; others: 02  
Applicant(s):: CASIO KEISANKI KK  
Requested Patent: JP61004374  
Application Number: JP19840126163 19840619  
Priority Number(s):  
IPC Classification: H04N5/202  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To furnish a gamma correcting circuit that can reproduce luminance correctly and to improve picture quality in a liquid crystal TV receiving set by making a converting circuit that converts digitally video signals parallel comparison type constitution and gamma correcting adding resistance to its reference voltage input terminal.

**CONSTITUTION:** An A/D converting circuit 21 is constituted to a parallel comparison type. A comparator 22 of the circuit 21 makes comparison with video signals making voltage divided by voltage dividing resistances R1-R16 and resistances for gamma correction R23-R25 reference voltage, and a decoder 23 decodes the signal of the result of comparison and converts to data of 4-bit. A latch circuit 24 latches the data synchronizing with sampling pulse  $\phi$ is, and outputs latch data D1-D4 to a luminance modulating circuit. By adding resistances R23-R25 to voltage dividing resistances R1-R16, the comparison reference voltage of a converting circuit 21 becomes unequal interval, and the output data can be made to proportional to gamma-th power of the luminance signal, through it is a broken line approximation. By making gamma correction in this way, luminance is reproduced correctly.

Data supplied from the esp@cenet database - l2

⑬ 日本国特許庁(JP)

⑩ 特許出願公開

⑭ 公開特許公報(A)

昭61-4374

⑮ Int.Cl.<sup>4</sup>  
H 04 N 5/202

識別記号

庁内整理番号  
7170-5C

⑯ 公開 昭和61年(1986)1月10日

審査請求 未請求 発明の数 1 (全5頁)

⑰ 発明の名称 ガンマ補正回路

⑱ 特 願 昭59-126163

⑲ 出 願 昭59(1984)6月19日

⑳ 発 明 者 布 施 孝 弘 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内  
㉑ 発 明 者 大 館 一 幸 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内  
㉒ 発 明 者 山 岸 浩 二 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内  
㉓ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号  
㉔ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 願 書

### 1. 発明の名称

ガンマ補正回路

### 2. 特許請求の範囲

液晶テレビジョン受像機において、映像信号を液晶表示パネル駆動用のデジタル信号に変換する並列比較型のA/D変換回路と、このA/D変換回路の基準電圧入力端子に $\gamma$ 補正用抵抗を付加し出力データを上記映像信号の $\gamma$ 乗に比例するように補正する $\gamma$ 補正手段とを具備したことを特徴とするガンマ補正回路。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

本発明は液晶テレビジョン受像機におけるガンマ補正回路に関する。

#### 〔従来技術とその問題点〕

テレビジョン受像機においては、一般にCRTを使用して画像表示を行なっている。上記CRTは、コントロールグリッド信号電圧と輝度との関係が直線的でなく、実際の輝度は、グリッドに加

えた信号電圧の $\gamma$ 乗( $\gamma=2.2$ )に比例する。このため従来では、被写体の輝度が正しく再現されるように、送信側において信号電圧を $1/\gamma$ 乗に補正している。

一方、最近では、携帯用小型テレビジョン受像機として、上記CRTに代わって液晶表示パネルを使用した液晶テレビジョン受像機が実用化されている。上記液晶表示パネルの輝度は、印加される信号電圧(実効値)にほぼ比例するが、従来の液晶テレビジョン受像機では、第4図に示すように受信した信号を例等補正することなく液晶表示パネルに印加している。上記第4図は従来の液晶テレビジョン受像機における液晶駆動回路部分の構成を示したもので、1は輝度変調パルス発生回路、2は輝度変調回路2である。上記輝度変調パルス発生回路1は、4ビットのカウンタ10により構成されており、第5図に示すラッチパルスφ<sub>L</sub>によりリセットされ、クロックパルスφ<sub>C</sub>によりカウンタアップ動作する。上記クロックパルスφ<sub>C</sub>は、第5図に示すように各ラッチパルスφ<sub>L</sub>個におい

て例えば14発発生する。そして、上記カウンタ10の $Q_1 \sim Q_4$ 出力は、輝度変調回路2内のオア回路11a~11dに入力される。また、上記オア回路11a~11dには、4ビットのデジタル映像信号 $D_1 \sim D_4$ が入力され、その出力はナンド回路12を介してラッチ回路13のリセット端子Rに入力される。このラッチ回路13のセット端子Sには、上記ラッチパルス $\phi_a$ を反転した $\phi_a$ が入力される。そして、上記ラッチ回路13の出力は、直接あるいはインバータ14を介してノア回路15a~15dに入力される。また、上記ノア回路15a、15bには、フレーム信号 $\phi_F$ が直接入力され、ノア回路15c、15dにはフレーム信号 $\phi_F$ がインバータ16を介して入力される。そして、上記ノア回路15a~15dの出力は、ゲート回路17a~17dにゲート信号として入力される。上記ゲート回路17a~17dは、上記ゲート信号に応じて液晶駆動用電圧 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ を選択し、液晶表示パネルの信号電極駆動信号 $Y_a$ として出力する。

上記の構成において、輝度変調パルス発生回路

1は、カウンタ10がラッチパルス $\phi_a$ によりリセットされた後、クロックパルス $\phi_c$ をカウントして出力端子 $Q_1 \sim Q_4$ から第5図に示す輝度変調パルス $P_1 \sim P_4$ を出力する。この輝度変調パルス $P_1 \sim P_4$ は、4ビットのデジタル信号 $D_1 \sim D_4$ と共に輝度変調回路2のオア回路11a~11dに入力される。また一方、輝度変調回路2は、ラッチパルス $\phi_a$ によりラッチ回路13がセットされ、その出力信号Aが第5図に示すように“0”に立下がる。この状態でデジタルデータ $D_1 \sim D_4$ と輝度変調パルス $P_1 \sim P_4$ の論理条件がとられ、オア回路11a~11dの出力がオール“1”となるまで、カウンタ10の内容がクロックパルス $\phi_c$ により順次カウントアップされる。そして、オア回路11a~11dの出力がオール“1”になるとノア回路12の出力が“0”となり、ラッチ回路13がリセットされ、このためラッチ回路13の出力Aが“1”信号レベルに戻る。今、例えばデータ $D_1 \sim D_4$ が「0101」であったとすれば、その反転データ $\bar{D}_1 \sim \bar{D}_4$ は「1010」となり、カウ

ンタ10が「5」までカウントアップされて「0101」となった時にオア回路11a~11dの出力がオール“1”となり、ナンド回路12から“0”信号が出力されてラッチ回路13がリセットされる。上記のようにラッチ回路13の出力信号Aの時間幅は、データ $D_1 \sim D_4$ に対応して設定されるもので、第5図に示すように直線的に変化する。しかして、上記ラッチ回路13の出力信号Aは、フレーム信号 $\phi_F$ と共にノア回路15a~15dを介してゲート回路17a~17dへ送られ、これによりゲート回路17a~17dが制御されて液晶駆動電圧 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ が選択され、信号電極駆動信号 $Y_a$ として出力される。

上記のように従来では受信した信号を補正せずに液晶表示パネルに印加しており、このため正しい輝度を再現することができない。

#### 【発明の目的】

本発明は上記の点に鑑みてなされたもので、液晶テレビジョン受像機において、液晶表示パネル上に被写体の輝度を正しく再現でき、画像品質を

向上することができるガンマ補正回路を提供することを目的とする。

#### 【発明の要旨】

本発明は液晶テレビジョン受像機において、映像信号をデジタル信号に変換するA/D変換回路を並列比較型構成とし、基準電圧入力端子に抵抗を付加することにより $\gamma$ 補正を行なうようにしたものである。

#### 【発明の第1実施例】

以下図面を参照して本発明の第1実施例を説明する。第1図は、液晶テレビジョン受像機におけるA/D変換回路21の構成を示したものである。このA/D変換回路21は、並列比較型に構成したもので、映像増幅回路(図示せず)から送られてくる映像信号と基準電圧を比較する例えば15段構成のコンパレータ22、このコンパレータ22の出力をデコードして4ビットのデジタルデータを出すデコーダ23、このデコーダ23の出力をラッチするラッチ回路24からなっている。上記コンパレータ22の各段には、映像増幅回路からの映像信

号が入力されると共に、16個の分圧抵抗R1～R16により等分割された電圧が比較基準電圧として入力される。そして、上記直列接続された分圧抵抗R1～R16に対して抵抗R1側の一端aに外部より抵抗R21を介してVcc電源を供給し、抵抗R16側の他端eを抵抗R22を介して接地している。さらに、A/D変換回路21の外部において、抵抗R1～R4に並列に抵抗R23、抵抗R5～R8に並列に抵抗R24、抵抗R9～R12に並列に抵抗R25を接続している。上記抵抗R23、R24、R25は $\gamma$ 補正用の抵抗で、A/D変換回路21の入出力特性が、輝度信号の $\gamma$ 乗に比例するようにその値が設定される。また、上記ラッチ回路24は、デコーダ23の出力をサンプリングパルスφsに同期してラッチし、デジタルデータD1～D4として次の輝度変調回路へ出力する。

上記の構成において、コンパレータ22は、分圧抵抗R1～R16及びR23、R24、R25により分圧された電圧を基準電圧として映像信号との比較を行ない、その比較結果をデコーダ23へ出力する。

このデコーダ23は、コンパレータ22からの信号をデコードして4ビットのデータに変換し、ラッチ回路24へ出力する。このラッチ回路24は、デコーダ23からのデータをサンプリングパルスφsに同期してラッチし、そのラッチデータD1～D4を輝度変調回路へ出力する。

しかして、上記A/D変換回路21は、抵抗R23、R24、R25が接続されていない場合には、抵抗R1～R16により分圧された比較電圧が等間隔になるので、第2図に実線Aで示すように入力信号と出力信号との関係が直線的になる。そして、上記分圧抵抗R1～R16に対して抵抗R23、R24、R25を追加することにより、比較基準電圧は等間隔ではなくなり、抵抗R23、R24、R25の値を適当に選べば、第2図に実線Bで示すように折線近似ではあるが、出力データを輝度信号の $\gamma$ 乗に比例させることができる。すなわち、上記実線Bで示す特性においては、破線Cで示す理想特性に対してO1、O2、O3の3点で一致させることができ、理想特性Cに近似させることができる。しか

して、上記 $\gamma$ の値は「2.2」であるから上記実施例に示すように3点で近似させる場合、第1図のa、b、c、d、e点間の基準電圧Ea-b、Eb-c、Ec-d、Ed-eの比は、

$$Ea-b : Eb-c : Ec-d : Ed-e \\ = 12 : 15 : 20 : 53$$

となる。そして、分圧抵抗R1～R16を

$$R1 = R2 = \dots = R16 = R$$

とすれば、R23と4Rの並列合成抵抗をA、R24と4Rの並列合成抵抗をB、R25と4Rの並列合成抵抗をC、そして、4RをDとあいたとき、

$$A : B : C : D = 12 : 15 : 20 : 53$$

となる。上記のように $\gamma$ 補正することにより、液晶表示パネルに正しく輝度を再現でき、画像品質を改善することができる。

#### 【発明の第2実施例】

次に本発明の第2の実施例について説明する。上記第1の実施例では、 $\gamma$ 補正を行なう際に3点で近似させたが、この第2の実施例は1点で近似させるようにしたものである。すなわち、この第

2の実施例は、第3図に示すように第1図における3つの $\gamma$ 補正用抵抗R23、R24、R25に代わって1つの $\gamma$ 補正用抵抗R26をa点とd点との間に、つまり、分圧用抵抗R1～R12に対して並列に接続したものである。この場合、 $\gamma$ 補正用抵抗R26の値は、R26と12R(R1～R12)との並列合成抵抗をEとした時、

$$E : 4R = 47 : 53$$

となる。各抵抗の値を上記のように設定することにより、 $\gamma$ 補正特性を第2図に一点破線Dに示すように理想特性Cに対してO1の1点で近似させる事ができる。上記のように一点で近似させた場合においても、実用的に充分な $\gamma$ 補正を行なうことができ、液晶表示パネルに正しく輝度を再現でき、画像品質を改善することができる。

#### 【発明の効果】

以上詳記したように本発明によれば、液晶テレビジョン受像機において、映像信号をデジタル信号に変換するA/D変換回路を並列比較型構成とし、上記A/D変換回路の基準電圧入力端子に抵

第 1 図

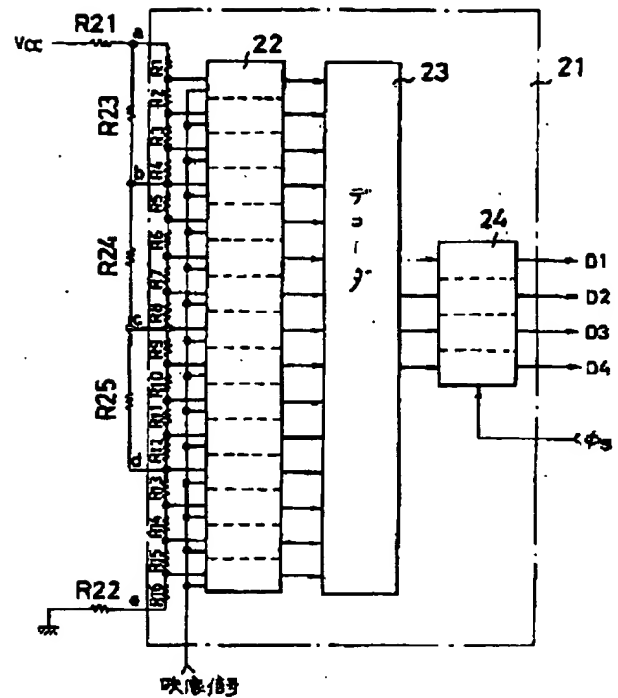
抗を付加することによって $\gamma$ 補正を行なうようにしたので、簡単な構成で $\gamma$ 補正を確實に行なうことができ、液晶表示パネルに正しく輝度を再現でき、画質品質を向上し得るものである。

#### 4. 図面の簡単な説明

第1図は本発明の第1実施例を示す回路構成図、第2図は本発明における $\gamma$ 補正曲線を示す図、第3図は本発明の第2実施例を示す回路構成図、第4図は従来の液晶テレビジョン受信機における輝度変調回路を示す図、第5図は第4図の動作を説明するためのタイミングチャートである。

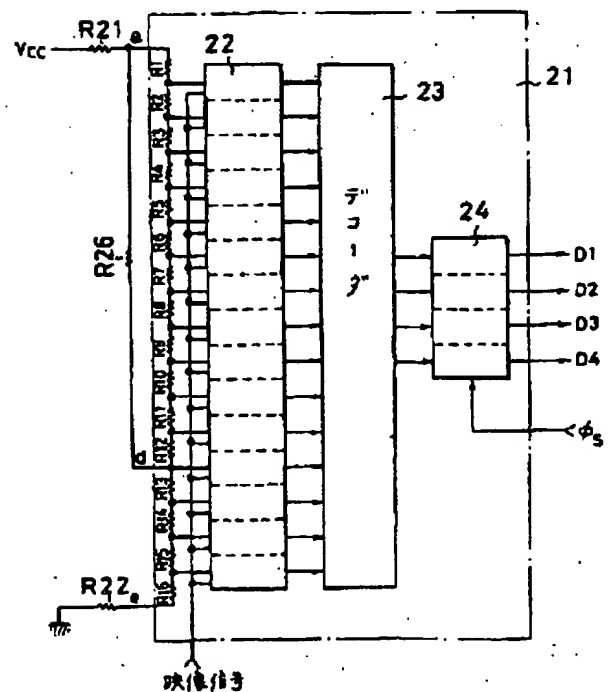
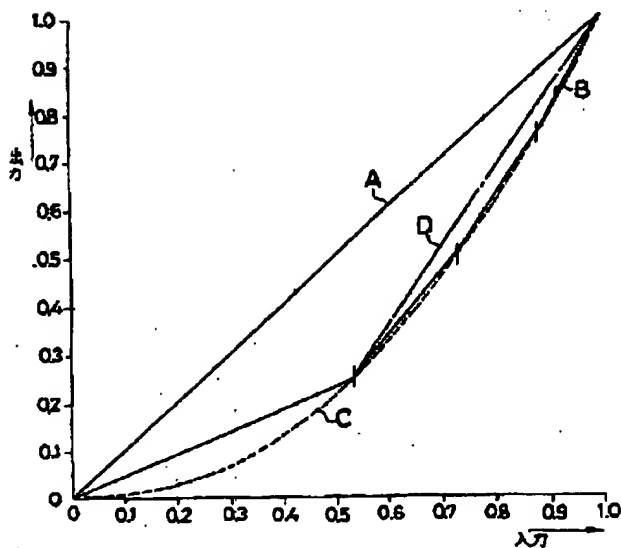
21…A/D変換回路、22…コンパレータ、23…デコーダ、24…ラッチ回路、R1～R16…分圧用抵抗、R23～R26… $\gamma$ 補正用抵抗。

出願人代理人 弁理士 鈴木武彦

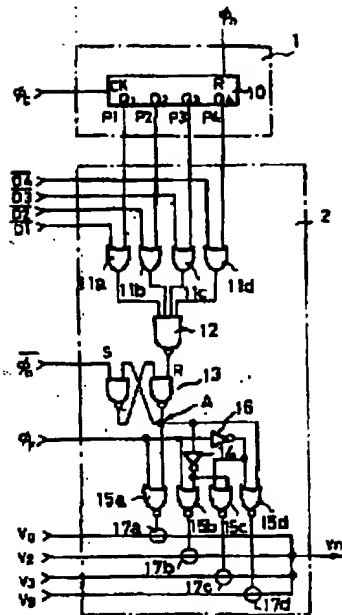


第 3 図

第 2 図



第 4 圖



第 5 圖

